



دانشگاه زنجان

## دانشکده مهندسی

### گروه برق

## پایان نامه کارشناسی

### گرایش: الکترونیک

### عنوان:

### مطالعه و بررسی روش‌های آزمون پذیری تراشه‌های دیجیتال

استاد راهنما: دکتر شهرام محمدی

نگارش: فاطمه احمدزاده

زمستان ۹۵

# پایان نامه کارشناسی

تقدیم به

پدر و مادر

عزیز و بزرگواری که علیرغم تحمل سختی‌ها و دشواری‌های

فراوان، مسیر پرپیچ و خم کسب و دانش و معرفت را برایم هموار نموده

و از دعای خیرشان بی‌نصیب نبوده‌ام.

و همسر

بزرگواری که با صبر و شکیبایی خود زمینه مساعد را برای

نگارش این پایان‌نامه فراهم نموده است.



## فهرست مطالب

فصل اول: .....	۱
تعاریف و مفاهیم اولیه .....	۱
انواع تست .....	۱
فشرده سازی داده های تست .....	۳
آزمون پذیر کردن مدارات .....	۳
روش های طراحی برای تست .....	۳
مدلسازی خطا .....	۴
پوشش خطا .....	۴
کاهش خطا .....	۴
شبیه سازی خطا .....	۵
انواع خطا .....	۵
کنترل پذیری و مشاهده پذیری .....	۷
فصل دوم: .....	۹
تولید تست برای مدارهای منطقی .....	۹
جدول درستی و ماتریس خطا .....	۱۰
حساس سازی مسیر .....	۱۴
الگوریتم D .....	۱۷
تک معب: .....	۱۷
PODEM .....	۲۴
FAN .....	۲۸
فصل سوم: .....	۳۱
طراحی برای آزمون پذیری .....	۳۱
روش های تک کاره یا AD HOC .....	۳۱
روش اسکن مسیر برای طراحی مدار ترتیبی آزمون پذیر .....	۳۷

روشنی اسکن دسترس‌پذیری تصادفی	۴۰
اسکن جزئی	۴۲
طراحی مدار ترتیبی آزمون پذیر با استفاده از روش‌های NONSCAN	۴۵
بررسی متقابل (CrossCheck)	۴۷
روش BOUNDARY SCAN	۵۰
فصل چهارم:	۵۲
روش‌های دستیابی تست استاندارد IEEE	۵۲
اساس boundary scan	۵۲
معماری Boundary Scan	۵۴
پورت دسترس‌پذیری تست	۵۵
ثبات‌های BS-1149.1	۵۶
ثبات دستور	۵۶
ثبات داده	۵۸
ثبات بای پس:	۵۸
ثبات شناسایی دستگاه:	۵۹
ثبات Boundary scan	۵۹
ثبات تعریف شده توسط کاربر:	۶۲
کنترل کننده ی TAP	۶۲
حالت Test_Logic_Reset	۶۵
حالت Run_Test_Idle	۶۵
حالت Select_DR_Scan	۶۶
حالت Select_IR_Scan	۶۶
حالت‌های Capture_IR (Capture_DR)	۶۶
حالت‌های Shift_IR (Shift_DR)	۶۷
حالت‌های Exit1_IR (Exit1_DR)	۶۸
حالت‌های Pause_IR (Pause_DR)	۶۸
حالت‌های Exit2_IR (Exit2_DR)	۶۸
حالت‌های Update_IR (Update_DR)	۶۸

.....	واحد دی کدر	۶۹
.....	واحد انتخاب و دیگر واحدها	۶۹
.....	دستورات تست Boundary Scan	۷۰
.....	دستورات اجباری	۷۰
.....	Bypass	۷۰
.....	دستور Sample	۷۲
.....	دستور Preload	۷۳
.....	دستور Extest	۷۴
.....	دستور Intest	۷۸
.....	مراجع	۸۱

## فصل اول:

### تعاریف و مفاهیم اولیه

صحت عملکرد آن ها می باشد. طبق قانون مور (Moor's law 1965) تعداد ترانزیستورها در مدارات مجتمع

هر ۲۴ ماه دو برابر می شود. بنابراین امروزه تراشه ها شامل میلیون ها ترانزیستور می باشد که بررسی صحت

عملکرد آن ها کاری بس مهم، پیچیده و دشوار است.

#### انواع تست

بر اساس نوع تجهیز یا قطعه و هدف از تست، روش های مختلفی برای آن وجود دارد که عبارتند از:

**تست خارجی (External test):** در این روش از یک وسیله ی خارجی برای تست صحت عملکرد مدار آزمایشگاه پروژه

طراحی شده استفاده می شود. این وسیله ی خارجی می تواند یک تراشه، بورد، کامپیوتر و یا هر وسیله ی

خارجی دیگر باشد.

دانشگاه مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان

**تست داخلی (Internal test):** در این روش وسیله ی تست همراه تجهیز مورد نظر برای تست در یک بسته قرار می گیرند. مدار BIST (Built In Self Test) جزو این دسته مدارات هستند که در آن ها سخت افزار تست که معمولا یک شبه پردازنده (Co Processor) می باشد، همراه با تراشه مورد نظر در یک بسته (Package) قرار می گیرند.

**تست On line:** در این روش، تست تجهیز همزمان با عملکرد آن انجام می گیرد.

**تست Off line:** در این روش قطعه یا تجهیز مورد نظر از عملکرد خود خارج می شود، سپس بررسی صحت عملکرد آن انجام می گیرد. تست Off line می تواند به صورت داخلی یا خارجی باشد.

**تست همزمان:** در این روش داده هایی که هنگام عملکرد عادی قطعه استفاده می شوند برای بررسی صحت عملکرد آن نیز به کار می روند.

**تست ATE:** در این روش مدار به بخش های مختلفی تنظیم می شود، مانند بخش های آنالوگ، دیجیتال، DC یا AC و هر بخش به طور جداگانه تست می شود.

**تست AT-Speed:** در این روش تست مدار یا قطعه در سرعت یا فرکانس نرمال کاری مدار یا قطعه انجام می گیرد. به این روش، روش تست AC نیز گفته می شود.

**تست DC:** در این روش تست قطعه در سرعت هایی کمتر از سرعت عملکرد آن انجام می گیرد.

**تست in-circuit:** در این روش قطعه از مدار برداشته نمی شود و هنگامی که در مدار کار می کند آزموده می شود.

**تست off-circuit:** در این روش ابتدا قطعه از روی مدار برداشته می شود و سپس صحت عملکرد آن بررسی می شود.



دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان

**تست پروب هدایت شده (Guided Probe):** در این روش از یک پروب هدایت شده برای تعیین منبع و خطای ظاهر شده در خروجی استفاده می شود.

**فشرده سازی داده های تست**

هدف عمده روش های تست ترکیبی و ترتیبی بدست آوردن کمترین تعداد بردار تست با بالاترین درصدی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان

پوشش خطا است. این امر سبب می شود که خطاهای بیشتری در مدت زمان های کمتری آشکار شود. هدف از فشرده سازی داده های تست، کاهش تعداد بردارهای تست با حفظ درصد قبلی پوشش خطا می باشد. دو بردار تست که همه ی بیت های آن ها سازگار هستند می توانند فشرده شوند.

**آزمون پذیر کردن مدارات**

مداری آزمون پذیر است که تست برای آن کارآمد باشد، با یک پوشش خطای بالا بتواند تست شود و مدت زمانی که برای تست بخش ساخته شده در نظر گرفته می شود معقول باشد. توانایی آزمون پذیری ترکیبی از زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان

توانایی کنترل و مشاهده است. یک مدار به وسیله ی کنترل پذیرتر و قابل مشاهده تر کردن آن، آزمون پذیرتر می شود. می شود.

**روش های طراحی برای تست**

در بسیاری از روش های تست فرض بر این است که CUT (مدار تحت تست) یک بلوک سیاه (Black Box) است که ورودی های اصلی و خروجی های اصلی برای اعمال بردارهای تست و آشکارسازی خطا استفاده می شوند. این امر سبب می شود که رؤیت پذیری و کنترل پذیری برای تولید بردارهای تست کم باشد. لذا تولید بردارهای تست برای مدارات ترکیبی پیچیده و مدارات ترتیبی تقریبا غیر ممکن می شود.

دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان

زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان

لذا مدارات دیجیتال طوری طراحی می شوند که بیشتر آزمون پذیر باشند که این امر به وسیله ی روش

های طراحی برای تست یا DFT (Design For Test) فراهم می شود. روش های DFT باعث افزایش

کنترل پذیری و رؤیت پذیری مدار در مقابل افزایش سطح تراشه به خاطر اضافه کردن مدارات تست می شوند.

روش های DFT برای آزمون پذیری مدارات ترتیبی (sequential) نیز استفاده می شود. برای این منظور

مدل هایی از مدارات ترتیبی استفاده می شوند که روش های تست مدارات ترکیبی نیز به آن ها قابل اعمال

شوند.

### مدلسازی خطا

مدلسازی خطا (Fault Modeling) برای ساده سازی تحلیل مدارات دیجیتال و یافتن بهتر بردارهای

تست و ارزیابی روش های تست استفاده می شود.

### پوشش خطا

پوشش خطا (Fault Coverage) یکی از معیارهای مهم در مقایسه روش ها و الگوریتم های تست

مدارات و سیستم ها است که نشان دهنده ی درصد خطایی است که توسط یک الگوریتم خاصی آشکارسازی

(Detect) شده اند. به عبارت دیگر در یک بردار تست، درصد پوشش خطا، درصد خطاهایی هستند که توسط

آن بردار تست آشکارسازی شده اند.

### کاهش خطا

هدف از کاهش خطا (Fault Reduction) کاهش پیچیدگی و ساده سازی تولید بردارهای تست و

تحلیل مدارات دیجیتال تحت خطا می باشد. این امر به وسیله ی صرف نظر کردن از خطاهایی که اغلب به

ندرت اتفاق می افتند یا اثرات آنها را می توان با خطاهای دیگر مدل کرد به وقوع می پیوندد.

## شبیه سازی خطا

مهم ترین ابزار برای انتخاب روش ها و الگوریتم های تست برای یک مدار دیجیتال استفاده از ابزارهای

شبیه سازی خطا (Fault Simulation) می باشد.

در این روش ابتدا یک مدار توسط ابزارهای توصیفی مانند VHDL یا Verilog مدلسازی می شود. سپس سیگنال های

به این مدل یک خطا اضافه می شود. سپس با استفاده از شبیه سازی و محیط های آزمون برای بررسی توانایی

الگوریتم های مختلف در آشکارسازی خطای مورد نظر استفاده می شود.

معمولا شبیه سازی برای بدست آوردن پارامترهای زیر استفاده می شود:

- تعیین درجه پوشش خطای بردارهای آزمون

- محاسبات پوشش خطا برای الگوریتم های استفاده شده

## انواع خطا

زمانی که سیستم یا مدار منطقی از عملکرد عادی و مشخص آن منحرف شود، یک خرابی (failure) در

مدار اتفاق افتاده است. Fault به یک نقص فیزیکی در مدار اشاره دارد، در حالی که error جلوه ای از fault

است. بنابراین fault می تواند مقدار یک سیگنال در مدار را از ۰ به ۱ یا برعکس تغییر دهد. با این حال یک

fault همیشه منجر به یک error نمی شود، که در آن صورت آن را نهفته در نظر می گیریم.

در مباحث پیش رو، منظور ما از خطا همان fault می باشد.

تعدادی از انواع خطا را معرفی می کنیم:

خطای در مدار منطقی که در آن یک سیگنال در مدار از ۰ به ۱ یا برعکس تغییر دهد.

خطای در مدار منطقی که در آن یک سیگنال در مدار از ۰ به ۱ یا برعکس تغییر دهد.

خطای در مدار منطقی که در آن یک سیگنال در مدار از ۰ به ۱ یا برعکس تغییر دهد.



## مراجع

- [1] Lala, Parag K. "An introduction to logic circuit testing." *Synthesis Lectures on Digital Circuits and Systems* 3, no. 1 (2008): 1-100.
- [2] Navabi, Zainalabedin. "Digital system test and testable design." E-ISBN (2011): 97814419-97875485.
- [3] Wang, Laung-Terng, Cheng-Wen Wu, and Xiaoqing Wen. *VLSI test principles and architectures: design for testability*. Academic Press, 2006.
- [4] Wang, Laung-Terng, Charles E. Stroud, and Nur A. Toubia. *System-on-chip test architectures: nanometer design for testability*. Morgan Kaufmann, 2010.